

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-190835

(43)公開日 平成5年(1993)7月30日

(51)Int.Cl.⁴

H 0 1 L 29/74

識別記号

庁内整理番号

F I

技術表示箇所

A 7013-4M

C 7013-4M

M 7013-4M

審査請求 未請求 請求項の数2(全13頁)

(21)出願番号 特願平4-25685

(22)出願日 平成4年(1992)1月16日

(71)出願人 000003115

東洋電機製造株式会社

東京都中央区八重洲2丁目7番2号

(72)発明者 清水 尚博

神奈川県大和市上草柳字扇野338番地1

東洋電機製造株式会社技術研究所内

(72)発明者 池田 義秋

神奈川県大和市上草柳字扇野338番地1

東洋電機製造株式会社技術研究所内

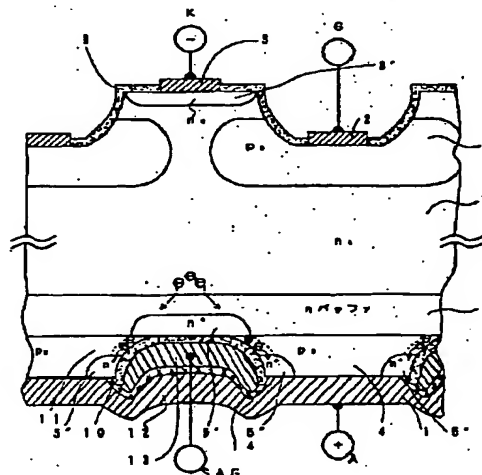
(74)代理人 弁理士 玉島 久五郎

(54)【発明の名称】 MOSアノードショート補助ゲート構造を有する半導体素子

(57)【要約】 (修正有)

【目的】 オン性能とオフ性能のトレードオフの優れた、MOSアノードショート補助ゲート構造を有する半導体素子。

【構成】 アノードpエミッタ層4にエッチング加工を施し、該エッチング溝12に面するアノードpエミッタ層4端にn⁺ショート層として働くMOSアノードショート層5^{*}を、アノードpエミッタ層4に接し、nバッファ層6には接しないように配置する。該エッチング溝12からn⁺ショート層として働くMOSアノードショート層5^{*}の一部にかかる間をSiO₂膜10上に、アノード電極1に対し、絶縁膜14で絶縁形成されたショート補助ゲート電極13、を設けた上でアノード側全体に金属を被覆してアノード電極1を形成した、MOSアノードショート補助ゲート構造を有する半導体素子としての構成を有する。



- | | |
|--------------------------|-----------------------|
| 1—アノード電極 | 8—pゲート層 |
| 2—ゲート電極 | 9—n+ショート層 |
| 3—ソース電極 | 10—SiO ₂ 膜 |
| 4—アノードpエミッタ層 | 11—MOSチャンネル |
| 5—n ⁺ ショート補助層 | 12—エッチング溝 |
| 6—MOSアノードショート層 | 13—ショート補助ゲート電極 |
| 7—nバッファ層 | 14—絶縁膜 |
| 8—高抵抗半導体層 | |

本発明の実施例(実施例1)としてのMOSアノードショート補助ゲート構造を有する半導体素子(昇電圧型サイリスタ)の模式的断面構造図

【特許請求の範囲】

【請求項1】 カソードnエミッタ層と、pベース層もしくはpゲート層と、高抵抗半導体層と、nバッファ層と、及びアノードpエミッタ層からなる層が積層化形成されたバイポーラ型半導体素子において、アノードpエミッタ層にエッチング加工を施し、該エッチング溝に面するアノードpエミッタ層端にn⁺ショート層として働くMOSアノードショート層を、アノードpエミッタ層には接し、nバッファ層には接しないように配置し、該エッチング溝よりn⁺ショート層として働くMOSアノードショート層の一部にかかる間をSiO₂膜で被覆した上でアノード側全体を金属で被覆した半導体素子において、該エッチング溝内のSiO₂膜に沿って、アノード電極とは絶縁された金属電極を付加したことを特徴とするMOSアノードショート補助ゲート構造を有する半導体素子。

【請求項2】 前記エッチング溝の底部には、n⁺ショート補助層を設けることを特徴とする前記請求項1記載のMOSアノードショート補助ゲート構造を有する半導体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速スイッチング・低損失を要する、バイポーラ型接合を有する電力用半導体素子としての静電誘導サイリスタ(SIサイリスタ)、ゲートターンオフサイリスタ(GTO)、及び絶縁ゲートバイポーラトランジスタ(Insulated Gate Bipolar Transistor)(IGBT)等において、アノード電極構造の最適化を図り、ターンオフ性能及びターンオン性能のトレードオフを改善できる、MOSアノードショート構造を有する半導体素子の特性を更に改良した、MOSアノードショート補助ゲート構造を有する半導体素子に関する。

【0002】

【従来の技術】従来、高耐圧化を狙ったオン(on)性能重視の構造として、アノード側にnバッファ層を設けたものが作られている。この構造に対し、オフ性能を向上させるには、nバッファ層を有さない構造によりオン電圧を低く保持しつつ、ターンオフ性能の改善できる、静電誘導効果を利用したアノードショート構造や、nバッファ層をアノード側にn⁺層で短絡した構造がGTOの例で提案されている。静電誘導効果を利用したアノードショート構造は例えば、文献“新形アノードショート構造のSIサイリスタ”電気学会電子デバイス研究会、EDD-87-66, pp.37~49(1987年10月7日)に開示されている通りである。或いはまた、特開平1-93169号公報「電力用半導体素子」に開示されている通りである。またnバッファ層をアノード側にn⁺層で短絡したGTOの構造としては、例えば、文献“Nバッファと新型アノードショート構造を採用した6kVGTOサイ

リスタ”電気学会電子デバイス研究会、EDD-87-65, pp.27~35(1987年10月7日)において開示されている通りである。後者の構造をSIサイリスタに適用した例を図14に示す。これらに対し、「MOSアノードショート構造を有する半導体素子」が本件出願人と同一出願人により、既に特願平3-280646号に開示された。

【0003】図14において、1はアノード電極、2はゲート電極、3はカソード電極、4はアノードpエミッタ層(p_e)層、5はn⁺ショート層、6はnバッファ層、7は高抵抗半導体層、8はpゲート層、9はバッシュン膜、8'はカソードnエミッタ層(n_e)層である。図14においてはnバッファ層6の厚さと不純物濃度を所定の値に設定することによって、高抵抗半導体層7中に広がる空乏層中の電界を高い値に保持できるため、高耐圧を比較的得やすい構造である。しかし、nバッファ層6中に蓄積される電子の蓄積効果のためアノードpエミッタ層4からの過剰な正孔注入を引き起こす。nバッファ層6中に蓄積される電子の流出を助けるために図14においてはn⁺ショート層5を設けた構造となっている。

【0004】しかし、従来のnバッファ層(6)を有するアノードショート構造は、耐圧を確保することが主目的であり、nバッファ層(6)の濃度を増加した場合、アノードショート率を上昇してオフ性能を向上させることは難しい。アノードショート率を上昇し過ぎた場合、オン電圧が急上昇し、ひいてはサイリスタがオンに至るラッチアップ動作が不可能となり、トランジスタ動作になるといった不具合が生ずる。この場合、オフロス(off-loss)は下がるがオンロス(on-loss)は急上昇する。オン(on)性能とオフ(off)性能とのトレードオフを改善し、両性能ともに改善し、両立させることは従来のnバッファ構造を有する半導体素子においては極めて難しい。

【0005】

【発明が解決しようとする課題】本発明の目的は、nバッファ層を有するサイリスタ構造において、オン性能とオフ性能とのトレードオフの優れた、MOSアノードショート補助ゲート構造を有する半導体素子を提供することにある。

【0006】

【課題を解決するための手段】本発明の構成の一例は下記に示す通りである。即ち、本発明は、既に開示されたカソードnエミッタ層(8')とpベース層もしくはpゲート層(8)と、高抵抗半導体層(7)と、nバッファ層(6)と、及びアノードpエミッタ層(4)からなる層が積層化形成されたバイポーラ型の半導体素子において、アノードpエミッタ層(4)にエッチング加工を施し、該エッチング溝(12)に面するアノードpエミッタ層(4)端にn⁺ショート層として働くMOSアノ

3

ードショート層(5'')を、アノードpエミッタ層(4)には接し、nバッファ層(6)には接しないように配置し、該エッチング溝(12)からn'ショート層として働くMOSアノードショート層(5')の一部にかかる間をSiO₂膜(10)で被った上でアノード側全体に金属を被覆してアノード電極(1)を形成した、MOSアノードショート構造を有する半導体素子に対し、該エッチング溝(12)内SiO₂膜(10)に沿って、アノード電極(1)に対し、絶縁膜(14)により絶縁形成された、ショート補助ゲート電極(以降SAG(Short Assist Gate)電極と称す)(13)を付加したMOSアノードショート補助ゲート構造を有する半導体素子としての構成を有する。

【0007】或いはまた、本発明は、エッチング溝の底部にはn'ショート補助層(5')を設けたことを特徴とする、MOSアノードショート構造を有する半導体素子としての構成を有する。

【0008】

【作用】図9乃至図12は本発明によるMOSアノードショート補助ゲート構造を有する半導体素子の動作原理説明図である。各図中において、それぞれエネルギーバンド図、キャリアの動き、V-I特性(アノード・カソード間の電圧-電流特性)に対応する模式図を含んでいる。半導体素子として、SIサイリスタの各動作における各構造の作用を説明する。

【0009】図9は点弧特性である。このとき、SAG電極(13)とアノード電極(1)間はショート状態にしておく。図9において印加順方向電圧V。約2.5V程度で低い場合を示している。この時MOSチャンネル(11)はほとんど働いていない。つまり、この状態ではMOSアノードショートが存在しない場合のような動作となり、逆阻止形サイリスタの動作となる。

【0010】図10はターンオン特性である。このとき、SAG電極(13)とアノード電極(1)間はショート状態にしておく。V。としては、例えば、順方向耐圧の1/2として、約1250Vと高い場合を示している。この時、MOSチャンネル(11)は、カソードnエミッタ層(8')よりの電子注入、つまりnバッファ層(6)を介して流れ込む動作をする。また、これに伴ない正孔はアノードpエミッタ層(4)よりnMOSチャンネル(11)をさけて注入が始まる。つまりSIサイリスタがオン動作に移行するので、V。は急激に下がりMOSチャンネル(11)は消滅し、正孔注入は更に多量に生ずる。つまり再び逆阻止形サイリスタ動作と近くなる。

【0011】図11は導通特性である。このとき、SAG電極(13)とアノード電極(1)間はショート状態にしておく。V。は導通時のためオン電圧程度で2.5V程度と低い場合を示している。この時MOSチャンネル(11)は動作していない。つまり逆阻止形サイリス

4

タの動作となり、オン電圧は従来のアノードショート構造を有するサイリスタのものよりも低い。

【0012】図12はターンオフ特性である。ゲート電極(2)より正孔電流を引き出す場合、ゲート電極(2)、カソード電極(3)間に逆バイアスがかかり、キャリアが激減しpゲート層(8)の周囲が空乏化していく。pゲート層(8)とカソードnエミッタ層(8')間に広がる空乏層形成により、カソードnエミッタ層(8')からの電子注入が停止し、アノード・カソード間電圧V。が上昇するに伴ない、SAG電極(13)をアノード電極(1)に対し正バイアスすること、で、MOSチャンネル(11)が積極的に導通することになり、高抵抗半導体層(7)中及びnバッファ層(6)中に浮遊残留する電子はn'ショート補助層(5')からMOSチャンネル(11)を介してMOSアノードショート層(5'')に導通し、アノード電極(1)へと掃き出される。この動作時においては、ターンオン動作の時とは異なり、電子注入がカソードnエミッタ層(8')から生じていないため、正孔注入の再結合過程は残留電子との再結合が主となり、nバッファ層(6)とアノードpエミッタ層(4)との間がキャリア再結合過程の起こりやすい場所となる。ターンオフ後期のテイル電流を積極的に低減化処理できることになる。つまり、ターンオフ動作ではMOSチャンネル(11)が積極的に動作し続けるため、アノードショートの効果が強力に効くことになり、ターンオフタイムが短縮化され、テイル電流の低減化特性が得られる。

【0013】以上説明したように、本発明の動作原理はMOSアノードショート補助ゲート構造において、ターンオフ時に、SAG電極(13)を正バイアスすることでMOSチャンネルが働き、電子の掃き出しが活性化する特性を利用したものである。これによって、オン動作では逆阻止形サイリスタの動作に近く、オン性能が優れ、オフ動作では強力なアノードショート型の如くオフ性能の優れたデバイス特性が得られる。

【0014】

【実施例1】図1は本発明のMOSアノードショート補助ゲート構造を有する半導体素子としての実施例を示し、MOSアノードショート補助ゲート構造を有する静電誘導サイリスタの模式的断面構造図を示す。図1において、1はアノード電極、2はゲート電極、3はカソード電極である。4はアノードpエミッタ層、5'はn'ショート補助層、5''は従来例(図7)におけるn'ショート層(5)と同様に働くMOSアノードショート層である。6はnバッファ層、7は高抵抗半導体層である。8はpゲート層もしくはpベース層であり、8'はカソードnエミッタ層である。9はゲート・カソード間のパッシベーション膜である。10はMOSアノードショート構造の絶縁膜として働くSiO₂膜である。11はMOSアノードショート構造におけるMOSチャンネル

10

20

30

40

50

を示す。13はショート補助ゲート電極であり、絶縁膜14によりアノード電極1に対し、電氣的に絶縁され、外部に引き出される。

【0015】製造方法を簡単に説明すると以下の通りである。SIサイリスタ(図1)に適用すべく、アノードpエミッタ層(p_e層)4をnパッファ層6に至るまで局部的にエッチング除去し、エッチング溝12を形成し、形成された島状アノードpエミッタ層(p_e層)4の端にアノードpエミッタ層4よりも薄い、n⁺ショート層と同じ役割をするMOSアノードショート層5^{*}を設ける。また、上記のエッチングした場所の中央にn⁺ショート補助層5^{*}を設けても良い。MOSアノードショート層5^{*}とn⁺ショート補助層5^{*}に至るまでのアノードpエミッタ層(p_e層)4領域表面にMOSチャンネル11を形成してMOS動作を生じさせる、SiO₂膜10を設ける。このエッチング溝12、SiO₂膜10に沿い、SAG電極13を蒸着選択形成し絶縁ポリミド膜を形成する。この上にアノード電極1を蒸着する。カソード側の構造の製造方法は図14の従来例と同様である。

【0016】以下、MOSアノードショート補助ゲート構造を有する半導体素子としての実施例の特徴を述べる。図1において、アノード電極1とSiO₂膜10とアノードpエミッタ層4によってMOS構造が形成され、nショート補助層5^{*}もしくはnパッファ層内のキャリアがMOSチャンネル11の導通によって、MOSアノードショート層5^{*}へ導かれると云う動作を行なっている。

【0017】このMOSアノードショート構造によって等価的に形成されるnチャンネルMOSFETはMOSアノードショート層5^{*}をソースと見ることができ、基板として働くアノードpエミッタ層4は上記の等価的なソースに短絡されている。等価的にドレインとして働くnパッファ層6もしくはn⁺ショート補助層5^{*}の電位は、上記の等価的なソースの電位、即ち、アノード電極1の電位に比較して、零もしくは負電位であり、nパッファ層6内に蓄積される電子の量が多ければ多い程、負電位の値は大きくなる。しかし、この電位差は高々シリコンの場合で約1Vであり、極めて低い。MOSアノードショート構造によって形成される上記の等価的なnチャンネルMOSFETはMOSアノード短絡動作を実行中は、ソースに比べてドレインの電位が負電位であることから、等価的なnチャンネルMOSFETの逆バイアス動作となる。そして、この逆バイアスは1V程度以下であり、MOSアノード短絡の抵抗値を下げることでMOSアノードショート性能上、極めて重要である。この等価的なnチャンネルMOSFETのチャンネル長、絶縁膜であるSiO₂膜10の厚さ、MOSチャンネル11部分におけるチャンネルの不純物密度あるいはチャンネルドーピングのレベル、全体としてのチャンネル幅及びMOSアノード

ドショート総チャンネル数(もしくはMOSアノードショート形成のピッチ)及びMOSチャンネル11を形成する面方位として例えば100面を採用すること等がMOSアノードショート抵抗を決定する要因であり、通常のMOSFETのオン抵抗を下げるための手段が同様に有効に働くこと云える。

【0018】本発明は、このMOSアノードショート構造を更に効果的に働かすため、ショート補助ゲート電極13を付加した。このためMOSアノードショートは、チャンネル形成がよりスムーズになり、ターンオフ時のキャリア引き出しは高速になる。

【0019】図1に示した実施例ではMOSアノードショート補助ゲート構造を有する静電誘導サイリスタを例として説明したが、他の構造の半導体デバイスとして、例えば、ゲートターンオフサイリスタや、絶縁ゲートバイポーラトランジスタ(IGBT)、或いは平面ゲート形SIサイリスタ、埋込みゲート形SIサイリスタ等においても本発明に係るMOSアノードショート補助ゲート構造を適用することは容易に考えられる拡張例である。

【0020】

【実施例2】図2は本発明の別の実施例(実施例2)としてのMOSアノードショート補助ゲート構造を有する半導体素子の構造例である。ショート補助ゲート電極13はほぼ台形状に形成された例である。シリコン面に対して異方性エッチングの手法を用いて、特定の面方位を有する傾斜したテーパー状のエッチング面を形成し、そのテーパー状のシリコン面15にMOSチャンネル11を形成している。MOSチャンネル11を特定の面方位に形成することができ、またテーパーの厚さの制御も容易なため、単なるメサエッチングによりMOSチャンネル用の溝を形成する場合に比べて、等価的なMOSFETのチャンネル長の制御が容易となり、MOSアノードショート効果を安定に保持することができるという特徴を有する。尚、図2において、図1と同等の働きをする構成要素については同一の参照番号を付してある。

【0021】

【実施例3】図3は本発明の別の実施例(実施例3)としてのMOSアノードショート補助ゲート構造を有する半導体素子の構造例である。ショート補助ゲート電極13は図2(実施例2)の場合とは逆の台形状に形成されている。図3の例では図2に比べてショート補助ゲート電極13が逆の台形状となっていることから、MOSアノードショート層5^{*}を相対的に小さい領域に形成することができ、結果的にアノードpエミッタ層4の領域を広く取ることができる。図2及び図3のアノード側形状は、従来公知の誘電体分離プロセスや、多結晶シリコンの単結晶化プロセス、異方性エッチングプロセス或いはシリコン基板のはり合わせ技術等を組み合わせることにより形成することができる。実施例2及び3においては

アノード電極1を平坦に形成できる点も特徴である。尚、図3においても、図1、図2と同等の働きをする構成要素については同一の参照番号を付してある。

【0022】

【実施例4】図4は本発明の別の実施例（実施例4）としてのMOSアノードショート補助ゲート構造を有する半導体素子の構造例である。実施例4の構造的特徴は、 n^+ ショート補助層5'、MOSチャネル11及びMOSアノードショート層5"がほぼ平坦なシリコン面（アノード面）上に形成され、従って、ショート補助ゲート電極13もプレーナ形状に極めて容易に形成できる構造となっている点である。このために、 n^+ ショート補助層5'をアノード側シリコン面まで延長して形成している。図4のような構造を採用することによって、MOSプレーナプロセスによる n チャネルMOSFETを形成する工程を容易に適用できるという特徴がある。尚、図4においても図1乃至図3と同等の働きをする構成要素については同一の参照番号を付してある。

【0023】

【実施例5】図5は本発明の別の実施例（実施例5）としてのMOSアノードショート補助ゲート構造を有する半導体素子の構造例である。実施例5の構造的特徴は、 n^+ ショート補助層5'、MOSアノードショート層5"を等価的なソース／ドレインとするMOSFETがほぼ垂直に形成されている点にある。この構造を実現するために、実施例5においては、ショート補助ゲート電極13はその断面はほぼ矩形形状となり、実質的にアノード p エミッタ層4内に埋め込まれて形成されている。製造方法としては、アノード p エミッタ層4に対して、RIEやECRプラズマエッチ等によってほぼ矩形形状の溝を形成し、MOS界面となるシリコン界面のダメージ層を除去した後、 SiO_2 膜10を形成し、ポリシリコン等によってショート補助ゲート電極13を形成する。図5により明かなように実施例5では、アノード電極1はほぼ平坦に形成することができる点も特徴である。尚、図5においても図1乃至図4と同等の働きをする構成要素については同一の参照番号を付してある。

【0024】

【実施例6】図6は本発明の別の実施例（実施例6）としてのMOSアノードショート補助ゲート構造を有する半導体素子の構造例である。図5の実施例5とMOSアノードショート補助ゲート構造は実質的に同一である。実施例6の構造的な特徴は、アノード p エミッタ層4内に高濃度に拡散された領域、即ち、アノード p^+ エミッタ領域4'を有する点にある。アノード p^+ エミッタ領域4'の働きによってアノード p エミッタ層4とMOSアノードショート補助層5"との間の横方向の抵抗を低減化することができ、MOSアノードショートのショート機能を増大することができるという特徴を有する。

尚、図6においても図1乃至図5と同等の働きをする構

成要素については同一の参照番号を付してある。

【0025】

【実施例7】図7は本発明の別の実施例（実施例7）としてのMOSアノードショート補助ゲート構造を有する半導体素子の構造例である。MOSアノードショート補助ゲート構造については実施例5や実施例6と実質的に同一である。アノード p^+ エミッタ領域4'を具備する点も実施例6と実質的に同等である。図7の実施例7の構造的特徴は、 n バッファ層6が $n^+n^-n^+n^-$ 構造となっている点にある。 n バッファ層6の n^- 部分は両側の n^+ 部分から広がる空乏層によって充分空乏化され、 n^- 部分の電位は容量結合によって、 n^+ 部分の電位によって決定される程度の寸法及び不純物密度を有するように設計されている。しかも、前述のアノード p^+ エミッタ領域4'の前面には p_2 層4及び n^- 部分が配置されるように構成され、アノード p^+ エミッタ領域4'から注入される正孔は、 n^- 部分を通過して ni 層7に注入されやすい構造となっている。一方、 ni 層7内の電子及び n^- 部分の電子、或いは、 n_2 層8'からの注入電子は n バッファ層6の n^+ 部分に主として蓄積されやすい構造となっている。このような構造的特徴を有する実施例7では、ターンオフ時のMOSアノードショートの効果が増大され、また逆にターンオン時のオン抵抗も下がりやすいという特徴を有する。尚、図7においても図1乃至図6と同等の働きをする構成要素については同一の参照番号を付してある。

【0026】

【実施例8】図8は本発明の別の実施例（実施例8）としてのMOSアノードショート補助ゲート構造を有する半導体素子の構造例である。図8の構造的特徴は、実施例7の構造を横方向に縮めた点にある。 n バッファ層6は $n^+n^-n^+n^-$ 構造を有し一定のピッチで形成されている。 n バッファ層6の n^- 部分は n^+ ショート補助層5'として働く。MOSチャネル11の数を増加し、MOSアノードショートの効果を増大する構造的特徴を有している。このために、ショート補助ゲート電極13はアノード p エミッタ層4内に n^+ 部分と同一ピッチで、しかも n^+ 部分と絶縁膜10を介して配置形成されている。 n^+ ショート補助層5'とMOSアノードショート層5"はほぼ垂直に配置され、ショート補助ゲート電極13によって等価的な縦形MOSFETが多数垂直に形成されている（細部については拡大図を参照）。MOSアノードショート層5"とアノード p^+ エミッタ領域4'は接触して形成した構造となっているが、アノード電極1によって両者ともに同電位となるからである。離隔して形成してもよいことはもちろんである。図8に示した実施例8の構造では、MOSチャネルの数が実施例1乃至実施例7と比べて増大しているためMOSアノードショートの効果が増大するという特徴を有する。

尚、図8においても、図1乃至図7と同等の働きをする

構成要素については同一の参照番号を付してある。

【0027】

【発明の効果】図13は2500V/300A級素子においてカソード側構造は一定(SIサイリスタ構造)にして、アノード側構造が従来例(図14)の場合と既に開示されたMOSアノードショート構造の例と及び本発明のMOSアノードショート補助ゲート構造の例(図1)の場合とのターンオンロス(turn-on-loss) E_{on} とターンオフロス(turn-off-loss) E_{off} の関係を図示したものである。スイッチング条件としては、 $V_g = 1250V$ 、 $I_T = 300A$ 、 $T_J = 125^\circ C$ である。従来例に比べ、本発明においてはターンオンロス E_{on} 及びターンオフロス E_{off} のトレードオフが改善され、優れていることがわかる。

【図面の簡単な説明】

【図1】本発明の実施例(実施例1)としてのMOSアノードショート補助ゲート構造を有する半導体素子(静電誘導サイリスタ)の模式的断面構造図

【図2】本発明の実施例(実施例2)としてのMOSアノードショート補助ゲート構造を有する半導体素子(静電誘導サイリスタ)の模式的断面構造図

【図3】本発明の実施例(実施例3)としてのMOSアノードショート補助ゲート構造を有する半導体素子(静電誘導サイリスタ)の模式的断面構造図

【図4】本発明の実施例(実施例4)としてのMOSアノードショート補助ゲート構造を有する半導体素子(静電誘導サイリスタ)の模式的断面構造図

【図5】本発明の実施例(実施例5)としてのMOSアノードショート補助ゲート構造を有する半導体素子(静電誘導サイリスタ)の模式的断面構造図

【図6】本発明の実施例(実施例6)としてのMOSアノードショート補助ゲート構造を有する半導体素子(静電誘導サイリスタ)の模式的断面構造図

【図7】本発明の実施例(実施例7)としてのMOSアノードショート補助ゲート構造を有する半導体素子(静電誘導サイリスタ)の模式的断面構造図

【図8】本発明の実施例(実施例8)としてのMOSアノードショート補助ゲート構造を有する半導体素子(静電誘導サイリスタ)の模式的断面構造図及びMOSアノードショート補助ゲート構造部分近傍の拡大図

【図9】本発明のMOSアノードショート補助ゲート構造を有する半導体素子の動作原理説明図であって、点弧

特性の説明図(エネルギーバンド図、キャリアの動き、 $V-I$ 特性の様子)

【図10】本発明のMOSアノードショート補助ゲート構造を有する半導体素子の動作原理説明図であって、ターンオン特性の説明図(エネルギーバンド図、キャリアの動き、 $V-I$ 特性の様子)

【図11】本発明のMOSアノードショート補助ゲート構造を有する半導体素子の動作原理説明図であって、導通特性の説明図(エネルギーバンド図、キャリアの動き、 $V-I$ 特性の様子)

【図12】本発明のMOSアノードショート補助ゲート構造を有する半導体素子の動作原理説明図であって、ターンオフ特性の説明図(エネルギーバンド図、キャリアの動き、 $V-I$ 特性の様子)

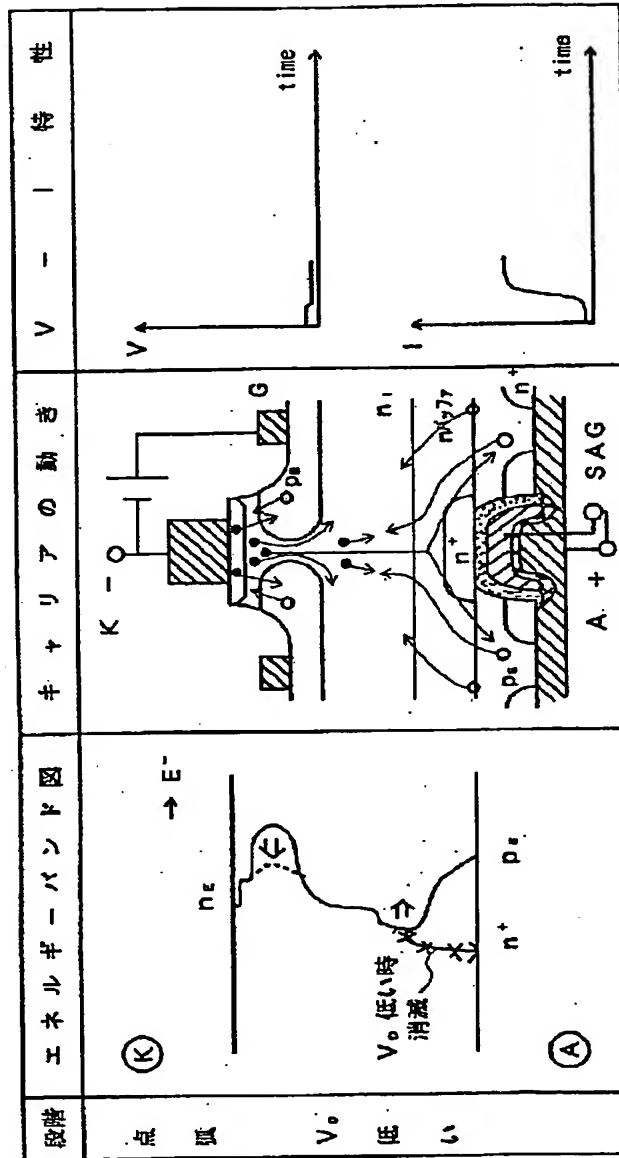
【図13】本発明によるMOSアノードショート補助ゲート構造を有する半導体素子と、従来例によるアノードショート構造(MOSアノードショート構造を含む)を有する半導体素子のターンオンロス E_{on} とターンオフロス E_{off} とのトレードオフ関係の比較図

【図14】本発明の先行技術としての従来形アノードショート構造を有する静電誘導サイリスタの模式的断面構造図

【符号の説明】

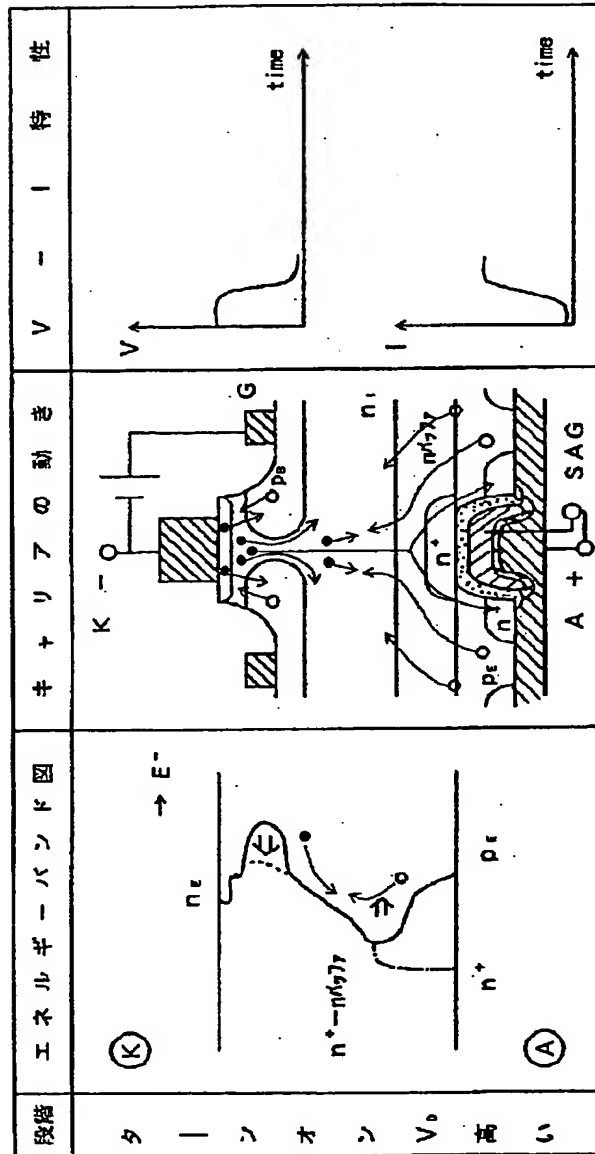
- 1 アノード電極
- 2 ゲート電極
- 3 カソード電極
- 4 アノードpエミッタ層(p₊層)
- 4' アノードp⁺エミッタ領域
- 5 n⁺ショート層
- 5' n⁺ショート補助層
- 5'' MOSアノードショート層
- 6 nバッファ層(nバッファ)
- 7 高抵抗半導体層(n_i層)
- 8 pゲート層もしくはpベース層
- 8' カソードnエミッタ層(n₊層)
- 9 パッシベーション膜
- 10 SiO₂膜
- 11 MOSチャネル
- 12 エッチング溝
- 13 ショート補助ゲート電極
- 14 絶縁膜
- 15 テーパー状のシリコン面

〔図9〕



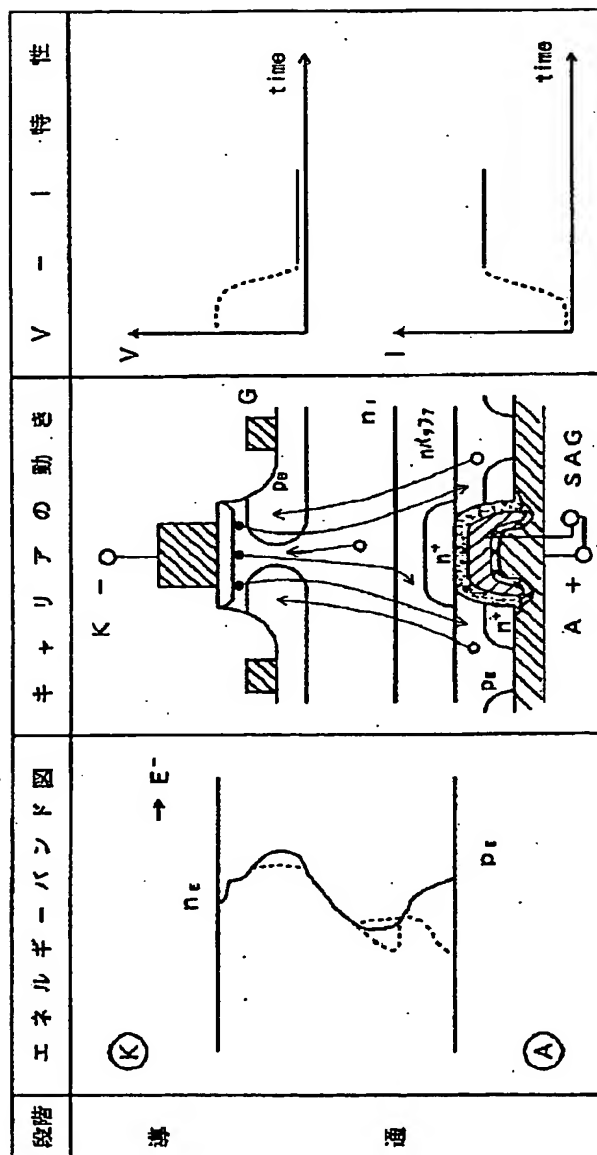
本発明のMOSアノードショート補助ゲート構造を有する
 半導体素子の動作原理説明図であって、点弧特性の説明図
 (エネルギーバンド図、キャリアの動き、V-I特性の様子)

【図10】



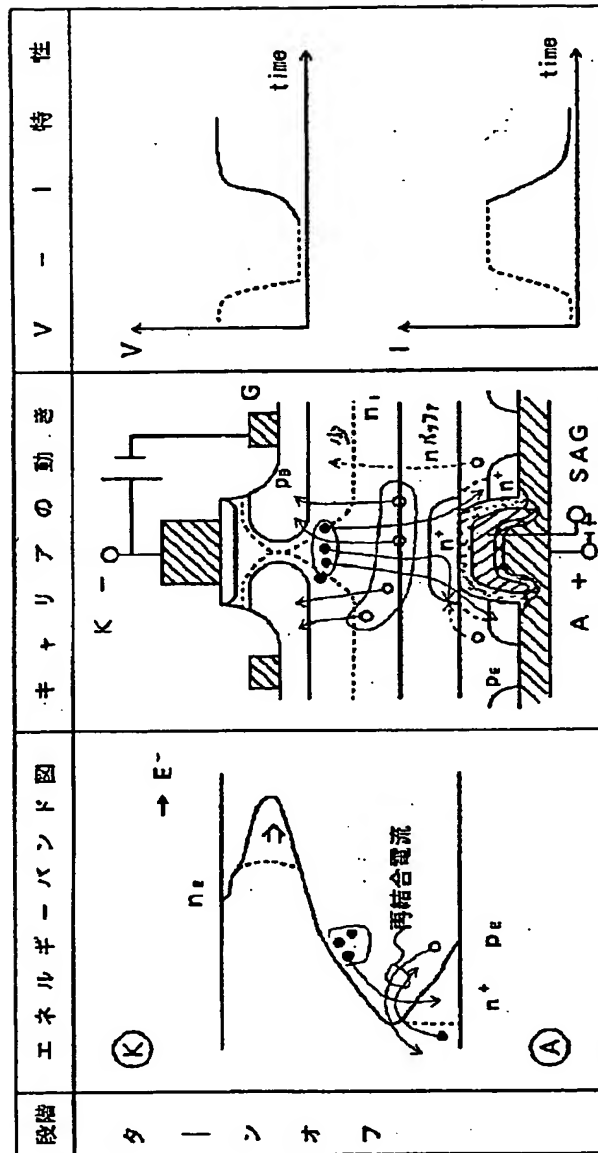
本発明のMOSアノードショート補助ゲート構造を有する
 半導体素子の動作原理説明図であって、ターンオン特性の説明図
 (エネルギーバンド図、キャリアの動き、V-I特性の様子)

〔図11〕



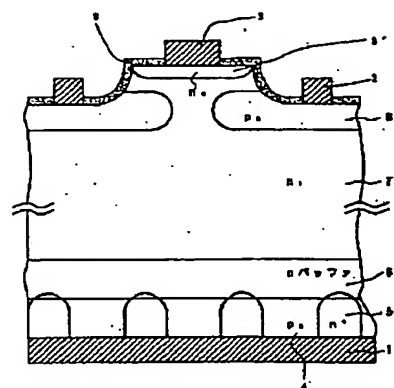
本発明のMOSアノードショート補助ゲート構造を有する
半導体素子の動作原理説明図であって、導通特性の説明図
(エネルギーバンド図、キャリアの動き、V-I特性の様子)

〔図12〕



本発明のMOSアノードシールド補助ゲート構造を有する
半導体素子の動作原理説明図であって、ターンオフ特性の説明図
(エネルギーバンド図、キャリアの動き、V-I特性の様子)

【例 14】



- 1-アノード電極
2-ゲート電極
3-カソード電極
4-アノードドレミッタ層
5-n⁺ シュート層
6-ニオブバッファ層
7-高抵抗半導体層
8-pゲート層
9-カソードドレミッタ層
10-ペルシペレーション層

本邦先明の先技と戦つてし油のと戦つてと入行一リ先シヤのド場明一様先ノ取本ア

ト
一
トヨ
ーシ
ゲドの
助る子。
補ノ上蒸E
トアに休ス
一S例導ロ
ヨO来半フ
シM従るオ図
ド、すん較
一と有一比
ノ千子をタの
ア紫製造と係
S体機構。関
O導導トEF
M半半一スオ
るるヨロド
よすすシン一
に有有ドアレ
明ををセント
晃造造ノ一の
本機構アタと